

Refm

Full Text

AN 1985-083378 JAPIO
TI MANUFACTURE OF SEMICONDUCTOR DEVICE
IN SUZUKI KATSUMI
PA NEC CORP
PI JP 60083378 A 19850511 Showa
AI JP 1983-191863 (JP58191863 Showa) 19831014
PRAI JP 1983-191863 19831014

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1985
AB PURPOSE: To increase the section area of a gate without increasing the gate length by a method wherein a metallic layer pattern with section shape nearly T type comprising an inorganic layer and a thick resin layer is formed and then the organic layer and the resin layer are removed.

CONSTITUTION: An N type GaAs active layer 1 is coated with a thick resin layer 2 and then thin SiO₂ layer 3 and a resist layer are formed. The resist layer is patterned by means of exposing and developing process and SiO₂ layer pattern is formed by means of anisotropic etching of the SiO₂ layer 3 utilizing the resist pattern as a mask and a thick resin layer 2 is etched utilizing the pattern of the SiO₂ layer 3 as a mask. Then Al is evaporated with directivity from upper surface and the Al layer 5 is coated with resist layer 6. Next the Al layer 5 is etched to remove the resist layer 6. Finally the SiO₂ layer 3 and the thick resin layer 2 may be successively removed by etching process to form an Al pattern with T-type section.

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: FET of metal-semiconductor with gate lowered resistance - by forming resin-layer on conductive-semiconductor base, piling film-layer and etching
NoAbstract Dwg 4-6/8

PRIORITY-DATA: 1983JP-0191863 (October 14, 1983) , 1983JP-0191836 (October 14, 1983)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>60083378</u>	A May 11, 1985	N/A	005	N/A

Katsumi

INT-CL (IPC): H01L021/28, H01L029/80

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-83378

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)5月11日

H 01 L 29/80
21/28
21/302

7925-5F
7638-5F
8223-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-191863

⑰ 出 願 昭58(1983)10月14日

⑱ 発 明 者 鈴 木 克 己 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 基板上の導電型の半導体からなる能動層上に厚い樹脂層を設け、次いで SiO_2 又は Si_3N_4 等の無機材の薄い層を設け、次いで感光性又は導電性等のレジスト層を設けた準備材、該準備材の該レジスト層を細い溝をもったパターンを露光現像で形成し、そのレジストパターンをマスクに下層の薄い無機材層をエッチングし、レジストパターンと同一パターンをもった無機材層パターンを形成し、次いで、酸素ガスを用いたドライエッチにより、該レジスト層を除去するとともに、該厚い樹脂層を該無機材層パターンの開口寸法よりも大きい開口寸法をもち、かつ該能動層表面を露出するまで該ドライエッチをもって該厚い樹脂層をエッチングする手段によりパターン形成し、次いで金属を該基板面に対して

し、方向性をもって全面に蒸着して金属層を形成し、該無機材層表面とに蒸着された金属層と、該無機材層の開口部をとり該能動層表面へ蒸着した該金属層が接続する厚さ、すなわち、該無機材層の厚さと、該厚い樹脂層の厚さを加えた厚さ以上に該金属層を形成し、次いで、該金属層上に第2のレジスト層を塗布し、次いで、該無機材層の開口部よりも大きい寸法で覆う該第2のレジストパターンを露光現像で形成し、その寸法は、その第2のレジストパターンをマスクに該金属層をエッチングした時に、該無機材層開口部が露出しない寸法とし、次いで上述のように該金属層を第2のレジストパターンをマスクにエッチングし、アルファベットの文字のTの形状に近い断面形状をもつ金属層パターンを形成し、次いで該無機材層と該厚い樹脂層を除去することにより、該能動層上にT文字に近い断面形状をもつ金属層パターンを形成することを特徴とする半導体装置の製造方法。

2. 金属層がアルミニウムで構成される特許請求

の範囲第1項記載の半導体装置の製造方法。

3. 金属層が、チタンとアルミニウムの2層構造である特許請求の範囲第1項記載の半導体装置の製造方法。
4. 金属層が、チタンと白金の2層構造、又は、チタン、白金、金の3層構造である特許請求の範囲第1項記載の半導体装置の製造方法。

発明の詳細な説明

本発明は、メタル・セミコンダクター電界効果トランジスタ(MES・FETと略す)に関し、くわしくは、ゲート電極の電気的抵抗を低減し、MES・FETの動作物性を向上させるMES・FETの製造方法に関するものである。

近年、シリコン(Siと略す)の電気移動度の3〜5倍の値をもつ砒化ガリウム(GaAsと略す)を用いて高周波MES・FETの開発が進められている。この高周波MES・FETの特性をより向上させるために、ゲート長(ソースとドレイン間に電流が流れる方向のゲートの長さ)は $0.5\mu\text{m}$ 又はそれ以下

の寸法でパターン形成されるようになった。このため、ゲート金属として、アルミニウムのような低電気抵抗のものを使用しても、ゲートの断面形状が小さくなり、その電気抵抗を無視することができなくなってきた。特に、高出力・高周波MES・FETでは、大きな電力がゲートに供給されるために特性を劣化させることなく、すなわち、ゲート長を増大させることなく、ゲート断面積を増大させる必要が生じてきたがこの実現は困難であった。

本発明の目的は、前記ゲート長を増大させることなく、ゲート断面積を増大させることを可能とする半導体装置の製造方法を提供することにある。

本発明によれば基板上的の導電型の半導体からなる能動層上に厚い樹脂層を設け、次いで SiO_2 又は Si_3N_4 等の無機材の薄い層を設け、次いで感光性又は感電子性等のレジスト層を設けた準備材、該準備材の該レジスト層を細い溝をもったパターンを露光現像で形成し、そのレジストパターンをマスクに下層の薄い無機材層をエッチングし、レジ

ストパターンと同一パターンをもった無機材層パターンを形成し、次いで、酸素ガスをを用いたドライエッチにより、該レジスト層を除去するとともに、該厚い樹脂層を該無機材層パターンの開口寸法よりも大きい開口寸法をもち、かつ該能動層表面を露出するまで該ドライエッチでもって該厚い樹脂層をエッチングする手段によりパターン形成し、次いで金属を該基板面に対し、方向性をもって全面に蒸着して金属層を形成し、該無機材層表面とて蒸着された金属層と、該無機材層の開口部をとり該能動層表面へ蒸着した該金属層が接続する厚さ、すなわち、該無機材層の厚さと、該厚い樹脂層の厚さを加えた厚さ以上に該金属層を形成し、次いで、該金属層上に第2のレジスト層を塗布し、次いで、該無機材層の開口部よりも大きい寸法で覆う該第2のレジストパターンを露光現像で形成し、その寸法は、その第2のレジストパターンをマスクに該金属層をエッチングした時に、該無機材層開口部が露出しない寸法とし、次いで上述のように該金属層を第2のレジストパターン

をマスクにエッチングし、アルファベットの文字のTの形状に近い断面形状をもつ金属層パターンを形成し、次いで該無機層と該厚い樹脂層を除去することにより、該能動層上にT文字に近い断面形状をもつ金属層パターンを形成することを特徴とする半導体装置の製造方法が得られる。

以下本発明の実施例を述べるにあたり、説明を簡単化するために、ゲート電極をアルミニウム(Al)、導電型の半導体をnタイプの平坦なGaAsとして説明する。

本発明の製造方法について第1図〜第8図を用いて説明する。第1図は、nタイプGaAs能動層1の上に厚さ $1.0\mu\text{m}$ の厚い樹脂層(例えばシプレー社製ホトレジストAZ-1350J)2を塗布し、次に 1000\AA 程度の薄い SiO_2 層(例えば東京応化社製のOCDを利用、ケイ素化合物をアルコール等の有機溶媒に溶解したもの)3を設け、さらにパターンニングのためのレジスト層(例えばシプレー社製ホトレジストAZ-1350)4を 3000\AA の膜厚に設けた準備基板材の断面図を示したもので

である。第2図は、UV光を用いて、レジスト層4を露光、現像処理して、 $0.5\mu\text{m}$ 幅の細長いパターンを形成し、そのレジストパターンをマスクにして、4 弗化炭素(CF_4)ガス又は、 CF_4 と水素(H_2)ガスの混合ガスを用いた反応性スパッタエッチングを行うことにより、 SiO_2 層3を異方性エッチングし、 $0.5\mu\text{m}$ の SiO_2 パターンを形成したところの断面図を示したものである。第3図は、 SiO_2 層3のパターンをマスクに厚い樹脂層2をエッチングしたところを示した断面図である。厚い樹脂層のエッチングには、酸素ガスを用いたプラズマエッチング又は反応性エッチングの手段を用いる。このエッチングでは、 SiO_2 層3と能動層1は、ほとんどエッチングされず、樹脂系のレジスト層4と厚い樹脂層がエッチングされる。レジスト層は厚い樹脂層よりも薄いので、このエッチング処理で同時に除去できる。このエッチングで重要なことは第3図に示したように、 SiO_2 層3の開口寸法よりも、厚い樹脂層のパターン寸法を大きめに取ることである。第4図は、上面か

ら方向性をもってアルミニウム(A2)を厚さ $1.2\mu\text{m}$ 蒸着したところの断面図を示したものである。蒸着したアルミニウム5は SiO_2 層3の開口部を通過して能動層1の表面にまで接し、 SiO_2 層3の上部全面を覆っている。方向性をもったA2蒸着であるために、アルミニウム5の能動層と接している寸法は、 SiO_2 層3の開口寸法とはほぼ同じ寸法になっている。第5図は、アルミニウム層5の上に第2のレジスト層(例えばAZ-1350)6を塗布し、パターン形成したところの断面図である。レジスト層6のパターン寸法は第5図で示すように SiO_2 開口寸法よりも大きく取る。第6図はレジスト6のパターンをマスクにして、アルミニウム層5をエッチングし、レジスト層6を除去したところの断面図である。このエッチングには、リン酸を用いたウェットエッチング又は4 弗化炭素(CCl_4)を用いたドライエッチングを利用する。いずれの方法にせよ、アルミニウム層5のエッチングで重要なことは、第6図に示したように、 SiO_2 層3の開口部が露出しないよ

うにすることである。露出するまでエッチングが進行すると、 SiO_2 層3の開口部から能動層1へ上下に細長い約 $0.5\mu\text{m}$ のアルミニウムパターンがエッチングされてしま^うので、再現性の良いゲート長寸法を得る目的には向かない。第7図は、 SiO_2 層3をフッ酸系の溶液でエッチング除去したところの断面図である。第8図は厚い樹脂層2を酸素プラズマをもってエッチング除去し、本発明の目的であるT字形の断面をもつ、アルミニウムパターン5を能動層1の上に形成したところの断面図である。このアルミニウムパターンをゲートとして用い、その両側にソースとドレイン電極を形成して、MES-FET構造とすることができる。第8図に示したアルミニウムパターン5は、MES-FETのゲート長となるアルミニウムパターン5と能動層1が接する寸法は従来必要とされる $0.5\mu\text{m}$ 又は、それ以下の寸法にしたままで、能動層1と離れた上部の寸法を大きくし、全体の断面積を大きくすることが可能になった構造である。MES-FETのゲート長を小さくしたままで、ゲートの電気抵抗を

下げることを本発明は可能にした。

本発明の実施例の説明の中で、特定の物質、厚さを述べた。例えば、厚さ $1.0\mu\text{m}$ の厚い樹脂層としてAZ-1350J、レジスト層として厚さ 3000\AA のAZ-1350を用いた。これは説明の便宜のためであり、レジスト層が感電子ビームレジストや感X線レジストであってもかまわない。また能動層の形状を平坦な形状として限定して説明したが、溝形をしたリセス構造のものであっても、また、アルミニウムを斜目方向から蒸着する場合でも、本発明は有効である。要は厚い樹脂層と、薄い無機材質層を用いて、ほぼT字形の構造をもったゲートパターンを形成することが本発明の特徴である。

また一実施例において金属層はアルミニウムを用いた場合について述べたが、チタンとアルミニウム或いはチタンと白金チタン、白金、金の3層構造であつてもよい。

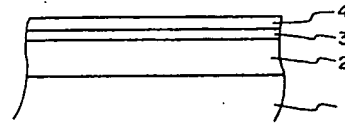
図面の簡単な説明

第1図～第8図は本発明の製造方法を説明するための図で主要工程における半導体装置の概念断面図である。

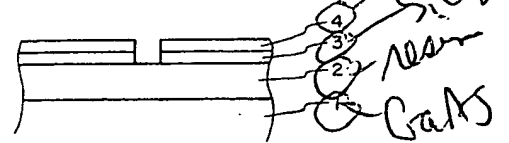
1…GaAs 能動層、2…厚い樹脂層、3…薄いSiO₂ 層、4、6…レジスト層、5…アルミニウム層（ゲート電極）。

代理人 弁理士 内原 晋

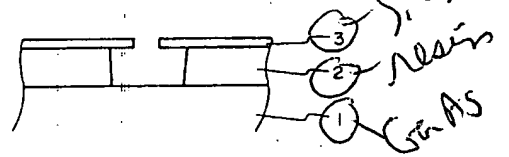
第1図



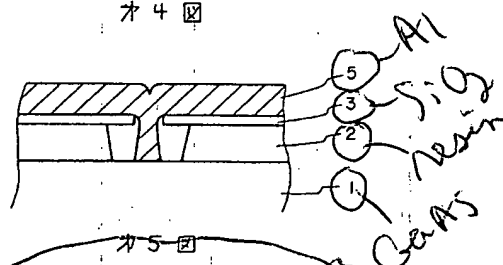
第2図



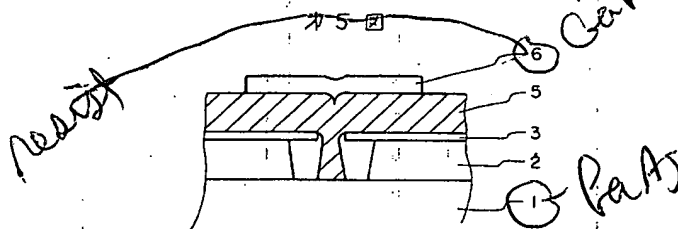
第3図



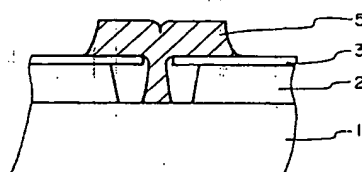
第4図



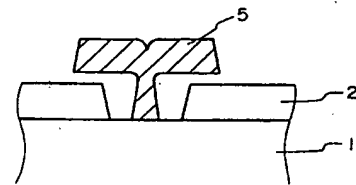
第5図



第6図



第7図



第8図

